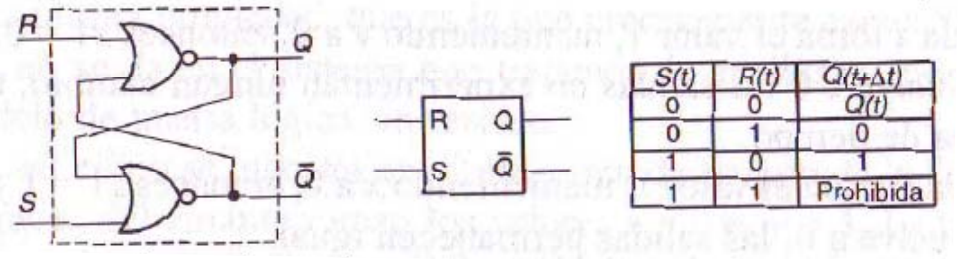
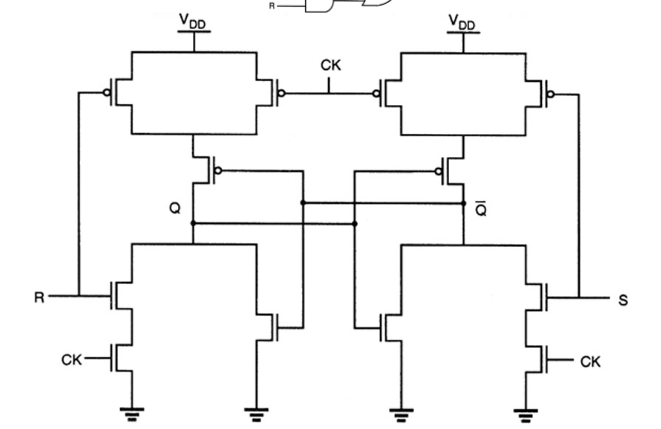
**Circuitos lógicos secuenciales**

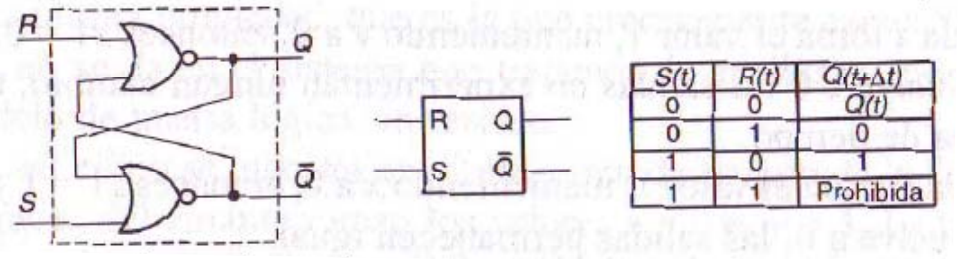
**Tipos de registros**

* **Latches:** se activan con reloj en alta/reloj en baja.
  + La señal cambia al estar en modo transparente (normalmente, reloj en HIGH) y se mantiene estable en modo hold (norm, reloj en LOW)
  + **Inconveniente:** En un mismo ciclo de modo transparente, si es demasiado largo, podría cambiar el valor varias veces, produciendo un valor incorrecto.
* **Registros/flipflops:** Sensibles a los flancos (flanco positivo/negativo). Se construyen mediante latches. Son más útiles.

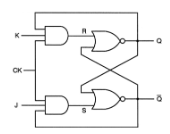
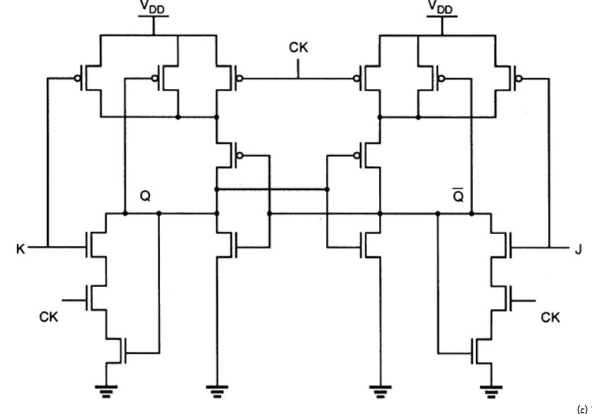
**Biestable mediante inversores**

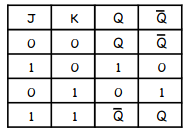
* El acoplamiento cruzado de dos inversores da lugar a un circuito biestable (dos estados estables)
* Requiere intervención exterior para cambiar el valor del estado. Dos estrategias:
  + **On-line:** Introduce un cambio entre los inversores mientras está en funcionamiento
  + **Off-line:** Pausa el mecanismo temporalmente, introduce el valor deseado y lo reanuda.

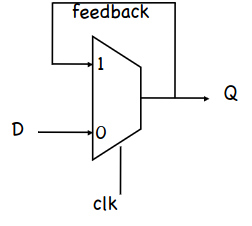
**Latch SR**



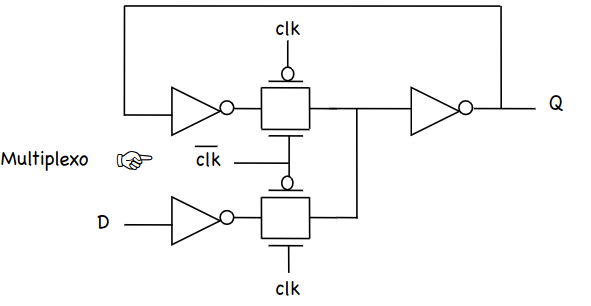
Q = ¬(RCK + Q)

**Latch JK**



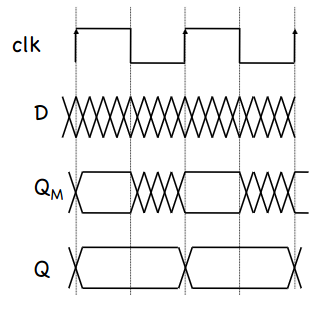
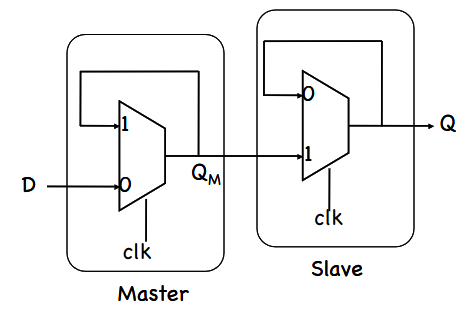


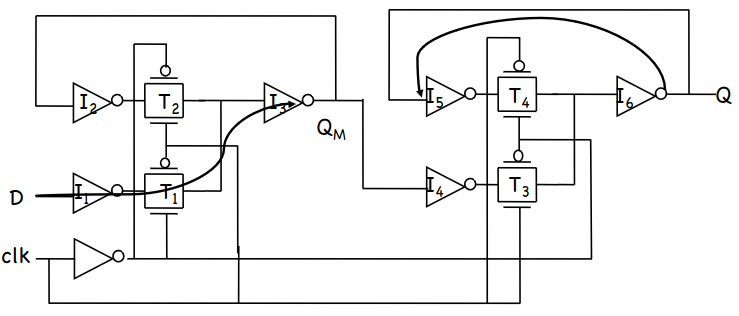
**Latches off-line**

* Se cambia de estado rompiendo el lazo de realimentación, mediante un multiplexor
* (en imagen) un latch negativo, transparente cuando el reloj está en baja. 
  + Un latch positivo sería intercambiando 0 y 1, y sería transparente con el reloj en alta.
* Se puede implementar un multiplexor mediante puertas de transmisión:
  + Es necesario pasar la señal de reloj a ambas partes de la puerta de transmisión. De esta forma, los distintos ciclos quedan bien separados y no se produce ninguna indeterminación donde ambos inversores están conectados uno con el otro, produciendo un sistema inestable cuya salida dependería de sus retardos.

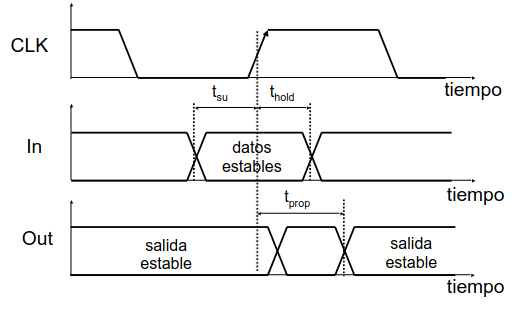
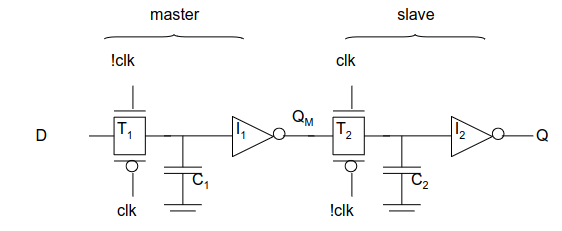
**Flipflop disparado por flanco (master-slave)**

* Compuesto por dos latches, siendo uno master y otro slave. El S tomará como entrada la salida del M.
* Ejemplo:
  + Siendo M transparente en clk=0 y S transparente en clk=1
  + El resultado es que la salida de S sólo cambia en flanco de subida.

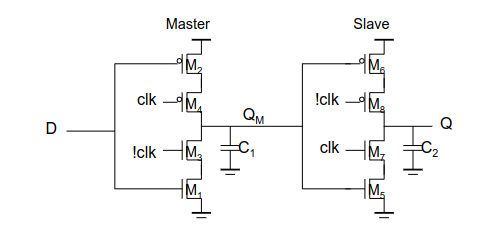




**Caracterización de flipflop I**

* Sean tpd\_inv los retardos de los inversores y tpd\_txx los retardos de las puertas de transmisión
* **Tiempo de set-up (tsu) -** Tiempo anterior al flanco positivo para el que los datos D deben ser válidos.
  + 3\*tpd\_imv + tpd\_tx
* **Tiempo de mantenimiento (thold)** tiempo posterior al flanco positivo que debe mantenerse la entrada D. Suele ser 0.
* **Retardo de propagación (tprop):** Tiempo que tarda QM en propagarse a Q
  + tpd\_inv + tpd\_tx (sólo un inversor, se considera que el inversor I4 ya ha sido pasado antes de empezar a contar tprop)
* **Registro dinámico:** Utilizan condensadores cuya carga almacena el dato guardado. Sin embargo, mantienen el dato sólo temporalmente debido a fugas.
  + tsu = tpd\_tx, tc-q= 2tpd\_inv + tpd\_tx

**Clock Skew I**

* Fenómeno observado en circuitos síncronos, donde CLK y ¬CLK no cambian de valor simultáneamente, por lo que las señales de reloj no llegan al mismo tiempo a los componentes.
  + **Solapamiento 1-1:** Existe un instante donde ambas son 1
  + **Solapamiento 0-0:** Existe un instante donde ambas son 0
* Para crear un registro insensible al clock-skew, se puede crearlo sin utilizar ¬CLK. Otra alternativa:

**homer simpson**

* diferencia registro sensible a nivel/sensible a flanco
* identificación de un registro:
  + escritura on-line/offline
  + sensible a nivel/flanco
  + registro estático/dinámico
* tiempo de setup, propagacion y mantenimiento
* clock skew